

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

**THIS PAGE BLANK (USPTO)**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05206279 A**(43) Date of publication of application: **13 . 08 . 93**

(51) Int. Cl.

**H01L 21/82**  
**G01R 31/28**  
**H01L 21/66**

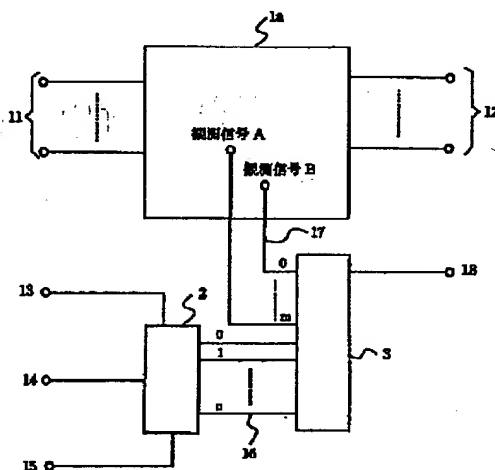
(21) Application number: **04010461**(22) Date of filing: **24 . 01 . 92**(71) Applicant: **SHIKOKU NIPPON DENKI  
SOFTWARE KK**(72) Inventor: **KAWAGUCHI TORU**(54) **LOGIC LSI CIRCUIT**

COPYRIGHT: (C)1993,JPO&amp;Japio

(57) Abstract:

PURPOSE: To observe the whole observation signal inside the title logic LSI circuit neither affecting normal functions in the logic LSI circuit at all nor modifying said circuit.

CONSTITUTION: When an observation signal B is to be observed, the reset signal 15 to a shift register circuit 2 is previously reset to logic level 0 and then 1. By these operations, 0-n each of select signal groups 16 to be the output signals of the shift register circuit 2 are entirely turned to the logic level 0. At this time, a test observation selecting circuit 3 reaching the logic state and assuming the selective requirement as 0 selects the observation signal B to be outputted as a test observation output signal 18. Furthermore, when the next observation signal A is to be observed, a test control input signal 13 is fixed to a logic level 1 to repeat the shift pulse n times so that 0-n each of flip.flop circuit may be entirely set to the logic level 1 assuming the selective requirement as 1 for outputting the observation signal A to a test observation output signal.



**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-206279

(43)公開日 平成 5 年(1993) 8 月13日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

G 0 1 R 31/28

H 0 1 L 21/66

Z 8406-4M

9169-4M

6912-2G

H 0 1 L 21/ 82

G 0 1 R 31/ 28

T

V

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号

特願平4-10461

(22)出願日

平成 4 年(1992) 1 月24日

(71)出願人 000180379

四国日本電気ソフトウェア株式会社

愛媛県松山市衣山 4 丁目760番地

(72)発明者 川口 徹

愛媛県松山市衣山四丁目760番地四国日本

電気ソフトウェア株式会社内

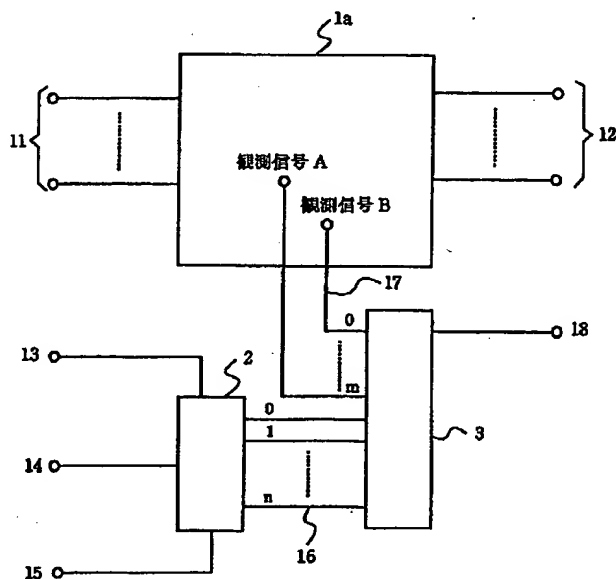
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 論理 L S I 回路

(57)【要約】

【目的】論理 L S I 回路の通常の機能に全く影響を与えず、しかも論理 L S I 回路の変更も伴わずに、論理 L S I 内部の全観測信号を観測する。

【構成】観測信号 B をテスト観測する場合、あらかじめシフトレジスタ回路 2 へのリセット信号 15 を一度論理レベル 0 にし、次に論理レベル 1 に戻す。この動作によりシフトレジスタ回路 2 の出力信号であるセレクト信号群 16 が、0 ~ n 本全て論理レベル 0 となる。この論理状態を受けてテスト観測選択回路 3 は、選択条件 0 と認識し、観測信号 B を選択してテスト観測出力信号 18 として出力する。また、次の観測信号 A にする時は、テスト制御入力信号 13 を論理レベル 1 に固定し、シフトパルスを n 回繰返すと、フリップフロップ回路 0 ~ n 個全てに論理レベル 1 が設定され、選択条件の 0 ~ n が全て 1 と認識し、観測信号 A をテスト観測出力信号へ出力する。



1a : 論理回路 a  
2 : シフトレジスタ回路  
3 : テスト観測選択回路  
11 : 通常入力ピン  
12 : 通常出力ピン

13 : テスト制御入力信号  
14 : テスト設定クロック  
15 : リセット信号  
16 : セレクト信号群  
17 : 観測信号 B  
18 : テスト観測出力信号

## 【特許請求の範囲】

【請求項1】 論理回路と、0～nビット長のn段のシフトレジスタ回路と、前記シフトレジスタ回路の出力を選択条件にし前記論理回路の観測信号を入力し前記選択条件の論理レベル状態により前記観測信号の一つを選んで出力する選択回路とを有することを特徴とする論理LSI回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、論理LSI回路に関し、特にテスト回路を有する論理LSI回路に関する。

## 【0002】

【従来の技術】従来の論理LSI回路について図面を参照して説明する。

【0003】図2は従来例の論理LSI回路のブロック図である。

【0004】図2において、従来例の論理LSI回路は、選択回路1cを有する論理回路b1bから構成され、通常入力ピン11と通常出力ピン12とを有している。

【0005】ここで、この従来例の論理LSI回路のテスト方法について説明する。

【0006】LSI内部の論理状態を観測する場合、図2に示すように、通常出力ピン12の前段に選択回路1cを設け、テストピン19の論理状態によって、例えば、テストピン19が論理0レベルの時は、通常の出力内部信号を通常出力ピン12に、テストピン19が論理1レベルの時は、観測信号を出力するようになっている。

【0007】この場合、通常入力ピン11は、あくまでも通常入力に使用する。

【0008】これは、一つの通常出力ピン12を利用して、二つの機能を持たせている。つまりLSIを形成している入力、出力のピン数が少ないと価格も低いということと、テスト専用ピンを多数設けると、外形も大きくなり、LSIを搭載するプリント基板にも載らなくなるということがあり、必要最小限のピン数で小型の外形形状となっている。

## 【0009】

【発明が解決しようとする課題】上述した従来の論理LSI回路のテスト方法は、テストピンの論理レベルによって、通常の出力内部信号が出力される場合と観測信号が出力される場合とがあるため、本来通常出力ピンの後段に接続されている論理回路が正常に動作するには、通常の出力内部信号が出力されなければならないが、テスト時の観測信号が出力されると、後段の論理回路が誤動作を起こす。

【0010】また、観測信号が通常出力ピン数より多い場合、観測できない信号が出るという欠点がある。

【0011】本発明の目的は、論理LSI回路内に、テ

スト専用のシフトレジスタ回路2と、テスト観測選択回路3と、テスト専用の入力、出力ピンとを有し、観測信号Bをテスト観測する場合、あらかじめシフトレジスタ回路2へのリセット信号15を一度論理レベル0にし、次に論理レベル1に戻し、シフトレジスタ回路2の出力信号であるセレクト信号群16を、0～n本全て論理レベル0とし、この論理状態を受けてテスト観測選択回路3が、選択条件0と認識し、観測信号Bを選択してテスト観測出力信号18として出力し、また、次の観測信号Aにする時は、テスト制御入力信号13を論理レベル1に固定し、シフトパルスをn回繰返して、フリップフロップ回路0～n個全てに論理レベル1を設定し、選択条件の0～nが全て1と認識し、観測信号Aをテスト観測出力信号へ出力することにより、上記の欠点を解消し、論理LSI回路の通常の機能に全く影響を与えず、しかも論理LSI回路の変更も伴わずに、論理LSI内部の全観測信号を観測できる論理LSI回路を提供することにある。

## 【0012】

【課題を解決するための手段】本発明の論理LSI回路は、論理回路と、0～nビット長のn段のシフトレジスタ回路と、シフトレジスタ回路の出力を選択条件にし論理回路の観測信号を入力し選択条件の論理レベル状態により観測信号の一つを選んで出力する選択回路とを有している。

## 【0013】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0014】図1は本発明の一実施例の論理LSI回路のブロック図である。

【0015】図1において、本実施例の論理LSI回路は、通常入力ピン11と通常出力ピン12とを有する論理回路a1aと、シフトレジスタ回路2と、テスト観測選択回路3とから構成されている。

【0016】ここで、論理回路a1aは、通常入力ピン11から入力された論理レベルの状態に合わせて論理動作を行い、その論理動作後の論理レベルで、ある信号は、通常出力ピン12に伝搬する場合もあれば、まだ、内部の他の信号の論理レベルに影響されて通常出力ピン12に伝搬しない信号などがあり、これらである必要な機能を発揮する回路である。

【0017】シフトレジスタ回路2は、0～nビット長のn段のシフトレジスタであり、内部にフリップフロップ回路を有している。フリップフロップ回路のリセット信号15には、初期状態（論理レベル0）に設定（論理レベルを確定）するリセット信号を接続する。このn段のシフトレジスタは、リセット端子に供給されるリセット信号15で初期状態にセットされる。テスト制御入力信号13は、シフトパルス14が供給される毎にシフトレジスタの各段をシフトしていくように構成されてい

る。そして、各フリップフロップ回路の各段の出力信号として0～nビット長のセレクト信号群16を出力する。

【0018】セレクト信号群16は、テスト観測選択回路3に選択信号として接続されている。テスト観測選択回路3のもう一方の入力には、論理回路a1aの中の観測信号群17（例えば、16ビットカウタ回路の出力信号16本または機能上重要な出力信号などで、特に論理回路a1aの通常出力ピン12から出力されていない信号）が接続されている。これらをセレクト信号群16の状態を観測信号群17のうち1つを選択し、テスト観測出力信号18へ出力する。

【0019】次に、本実施例の論理LSI回路についてさらに詳細に説明する。

【0020】観測信号群17（ $17_0, 17_1, 17_2, \dots, 17_m$ ）の内1本づつにセレクト信号群16の論理レベル状態が識別（論理積も同じ）されている。例えば、セレクト信号群16（0～nビット長）が論理状態「0」の時（全ビットが0）、観測信号群17の内信号17<sub>0</sub>がテスト観測出力ピン18に割当てられる。次にセレクト信号群16が論理状態「1」の時（ビット0が1で他のn迄のビットが0の時）、観測信号群17のうち信号17<sub>1</sub>（図示せず）がテスト観測出力ピン18に割当てられ、セレクト信号群16が論理状態「255」の時（ビット0～7迄が全て1で他が0の時）、信号17<sub>255</sub>が、信号群16が「m」の時、信号17<sub>m</sub>がテスト観測出力ピン18に割当てられる。

【0021】例えば、セレクト信号群16が4本の場合、言い換えれば、シフトレジスタ回路2の中にフリップフロップ回路が4個あるということで、観測信号群17が16本迄接続でき、かつセレクト信号群16が8本の場合は、観測信号群17が256本迄接続できる。これは、フリップフロップ回路数が2<sup>n</sup>の係数で観測信号数を増やすことができることである。

【0022】観測信号Bをテスト観測する場合、あらかじめシフトレジスタ回路2に、リセット信号15を一度論理レベル0にし、次に論理レベル1に戻す。この動作によりシフトレジスタ回路2の出力信号であるセレクト信号群16が0～n本全て論理レベル0となる。この論理状態を受けてテスト観測選択回路3は、選択条件0と認識し、観測信号Bを選択してテスト観測出力信号18として出力する。

【0023】この状態で、論理回路a1aを論理動作させると、観測信号Bの論理レベル状態が出力される。このまま論理動作が続いていると、セレクト信号群が変化

しない限り、観測信号Bの論理状態が出力され続ける。

【0024】また、次の観測信号Aにする時は、テスト制御入力信号13を論理レベル1に固定し、シフトパルスをn回繰返すと、フリップフロップ回路0～n個全てに論理レベル1が設定され、選択条件の0～nが全て1と認識し、観測信号Aをテスト観測出力信号へ出力する。この状態での論理動作の観測は前述した場合と同じであるので省略する。

【0025】そして、観測信号群17の0～m迄の途中の信号を観測する場合は、テスト制御入力信号13の論理レベルを0から1と変化させて、シフトレジスタ回路内の当該フリップフロップ回路に設定して観測する。

【0026】以上の動作により、あらかじめ論理回路内の観測すべき信号をテスト観測選択回路3の入力に接続しておいて、その全信号数を包含するn個のフリップフロップ回路をシフトレジスタ回路に持つことにより、シフトレジスタ回路に観測したい信号の選択条件を設定し、論理回路内の観測信号を観測する。

【0027】

【発明の効果】以上説明したように、本発明の論理LSI回路は、論理LSI回路内に、テスト専用のシフトレジスタ回路と、テスト観測選択回路と、テスト専用の入力、出力ピンとを有することにより、論理LSI回路の通常の機能に全く影響を与えず、しかも論理LSI回路の変更も伴わずに、論理LSI内部の全観測信号を観測できるという効果がある。

【図面の簡単な説明】

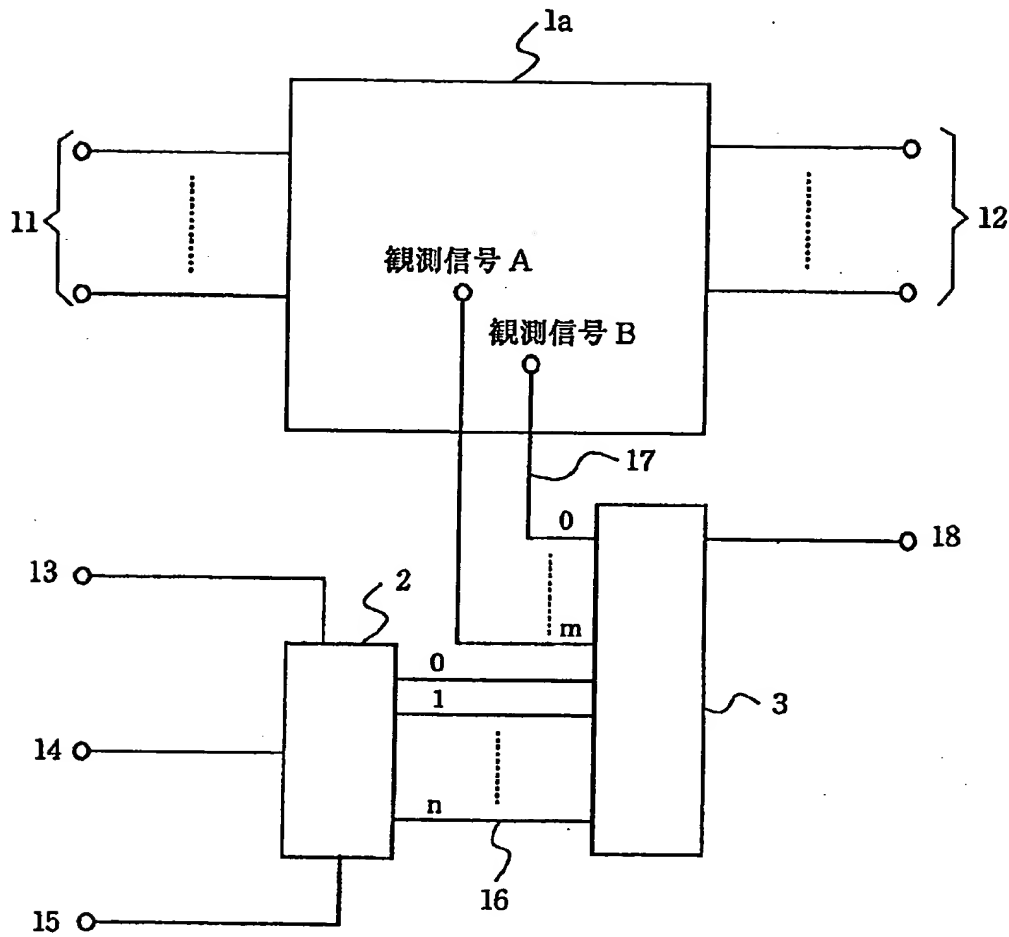
【図1】本発明の一実施例の論理LSI回路のブロック図である。

【図2】従来例の論理LSI回路のブロック図である。

【符号の説明】

- 1 a 論理回路a
- 1 b 論理回路b
- 1 c 選択回路
- 2 シフトレジスタ回路
- 3 テスト観測選択回路
- 11 通常入力ピン
- 12 通常出力ピン
- 13 テスト制御入力信号
- 14 テスト設定クロック
- 15 リセット信号
- 16 セレクト信号群
- 17 観測信号群
- 18 テスト観測出力信号
- 19 テストピン

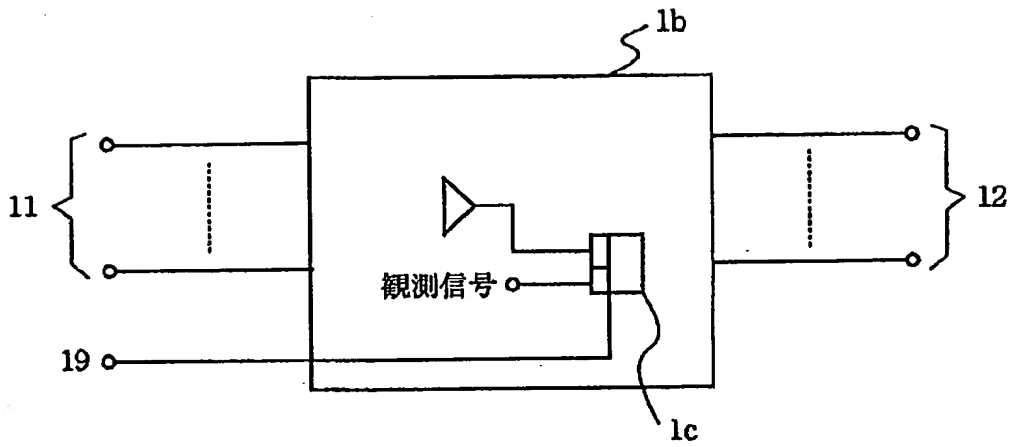
【図1】



- |      |           |      |           |
|------|-----------|------|-----------|
| 1a : | 論理回路 a    | 13 : | テスト制御入力信号 |
| 2 :  | シフトレジスタ回路 | 14 : | テスト設定クロック |
| 3 :  | テスト観測選択回路 | 15 : | リセット信号    |
| 11 : | 通常入力ピン    | 16 : | セレクト信号群   |
| 12 : | 通常出力ピン    | 17 : | 観測信号群     |
|      |           | 18 : | テスト観測出力信号 |



【図2】



lb : 論理回路 b  
lc : 選択回路  
19 : テストピン

**THIS PAGE BLANK (USPTO)**